

(一) 許世英之聲望

特開平6-163910

(43)公開日 平成6年(1994)6月10日

(51) Int.Cl.⁵

H O 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9168-4.M

H O 1 L 29/ 78

3 2 1 S

9168-4M

3 2 1 D

審査請求 未請求 請求項の数 2 (全 5 頁)

(21)出願番号

特願平4-318481

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(22)出願日

平成4年(1992)11月27日

(72) 發明者 夏目 正

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72) 発明者 五十嵐 保裕

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

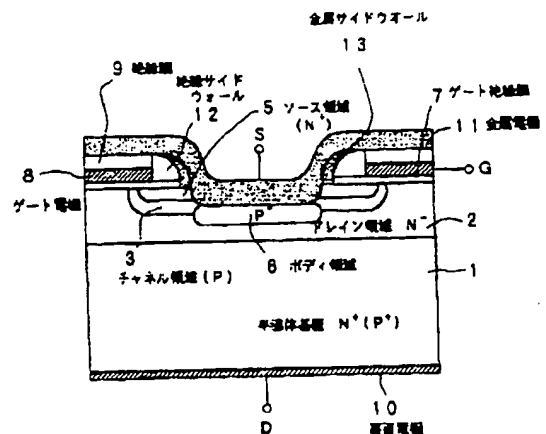
(74)代理人 弁理士 西野 卓司

(54)【発明の名称】 絶縁ゲート半導体装置およびその製造方法

(57) 【要約】

【目的】 セルフアラインによって微細化が可能な、且つソース電極とソース領域との良好なコンタクトが得られ、アバランシェ（ラッチアップ）耐量の高いパワー MOSFET（IGBT）を提供する。

【構成】 ドレイン領域2となる半導体基板1上に、ゲート電極8をマスクとして、チャネル領域3とソース領域5とがセルフアラインにより二重に拡散された縦型絶縁ゲート半導体装置において、前記ゲート電極8の側面に隣接して絶縁サイドウォール12と金属サイドウォール13と、該金属サイドウォールをマスクとして、エッチングによりチャネル領域3を開口した開口部とを備え、該金属サイドウォール13は前記半導体基板上のソース領域5の表面とソース電極となる金属電極11とに接触し、該金属電極11は前記チャネル領域3に接触している。



【特許請求の範囲】

【請求項1】 ドレイン領域となる半導体基板上に、ゲート電極をマスクとして、チャネル領域とソース領域とがセルフアラインにより二重に拡散された縦型絶縁ゲート半導体装置において、前記ゲート電極の側面に隣接して絶縁サイドウォールと金属サイドウォールとを備え、更に該金属サイドウォールをマスクとして、エッチングにより前記チャネル領域を開口した開口部とを備え、前記金属サイドウォールは前記半導体基板上のソース領域の表面とソース電極となる金属電極とに接触し、該金属電極は前記チャネル領域に接触していることを特徴とする絶縁ゲート半導体装置。

【請求項2】 ゲート電極をマスクとしてドレイン領域となる半導体基板上にチャネル領域とソース領域とをセルフアラインにより二重に形成する工程と、該ゲート電極の側面に隣接して絶縁サイドウォールを形成する工程と、該絶縁サイドウォールに隣接して前記半導体基板上のソース領域の表面に接触する金属サイドウォールを形成する工程と、該金属サイドウォールをマスクとして前記半導体基板をエッチングすることにより前記チャネル領域を露出させるように開口する工程と、ソース電極となる金属電極を被着し前記金属サイドウォールと前記チャネル領域との接触をとる工程とからなることを特徴とする絶縁ゲート半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁ゲート半導体装置およびその製造方法に係り、特にドレイン領域となる半導体基板上にゲート電極をマスクとして、チャネル領域とソース領域とがセルフアラインにより二重に拡散された構造の縦型パワーMOSFET、又は絶縁ゲートバイポーラトランジスタ(IGBT)に関する。

【0002】

【従来の技術】縦型絶縁ゲート半導体装置であるパワーMOSFET又はIGBTは、MOSゲートのため駆動電力が小さく、高速スイッチングが可能であり、縦型構造のため高電流が得られる等の特徴を備えている。パワーMOSFETは、裏面にドレイン電極を備える高濃度半導体基板上に、低濃度ドレイン領域となるエピタキシャル層を有し、該低濃度ドレイン領域にゲート電極をマスクとして、チャネル領域及びソース領域が二重に拡散され、MOSゲートが形成されている。そして、半導体基板上の絶縁膜に開口部が設けられ、金属電極からなるソース電極がソース領域及びチャネル領域と接触するように配線される。又、IGBTはMOSFETのベースとなる高濃度半導体基板を反対導電型のコレクタ領域と置換することによって製造することができる。

【0003】かかるパワーMOSFET、IGBT等では、パターンの微細化による高性能化を図るため、ソース領域の形成及びソース電極のコンタクトの開口等をマ

スク合せを必要としないセルフアラインで行う方法が種々提案されている。特開平3-105979号公報には、ゲート電極をマスクとして半導体基板上にチャネル領域及びソース領域を二重に形成し、U溝をエッチングにより設けることにより、縦型パワーMOSFETをセルフアラインで作る技術が開示されている。

【0004】即ち、ドレイン領域となる半導体基板上に多結晶シリコンからなるゲート電極をマスクとして、チャネル領域を拡散により形成する。次に、ソースパターンのマスクを用いることなく同じ多結晶シリコンからなるゲート電極をマスクとしてチャネル領域内にソース領域を形成する。そして、同様にセルフアラインによってゲート電極に隣接してスペーサ絶縁膜を設ける。さらにスペーサ絶縁膜をマスクとして、セルフアラインにより半導体基板をエッチングすることにより、ソース領域を通り越してチャネル領域の表面を露出させコンタクト開口を形成する。そしてアルミ等の金属膜を上面より被着することによりチャネル領域およびソース領域と接触したソース電極をマスクパターンにより形成する。

【0005】

【発明が解決しようとする課題】しかしながら、このようにチャネル領域及びソース領域をエッチングによるU溝でコンタクト開口を形成した場合には、ソース電極である金属電極と半導体基板のソース領域との接触面は、半導体基板をエッチングにより開口したソース領域の側面のみとなる。したがって、半導体基板を縦方向のエッチングにより開口されるソース領域の側面はソース領域の深さ方向の寸法しかないため、金属電極とのコンタクトが難しいものとなり、ソース電極の抵抗分が大きくなる。

【0006】金属電極とソース領域とのコンタクトを良好にするためには、ソース領域を深く拡散して、コンタクト面積を広げればよい。しかしながら、ソース領域を深く拡散すると、相対的にチャネル領域の幅が狭くなることとなり、チャネル領域における抵抗が増大する。チャネル領域の抵抗が増大すると、MOSFETにおいてはアバランシェ耐量が低下し、IGBTにおいては、ラッチアップ耐量が低下するという問題が生じる。

【0007】本発明は、係る従来技術の問題点に鑑み、セルフアラインによりパターンの微細化を達成しつつ、ソース領域と金属電極との良好なコンタクトが得られ、且つアバランシェ耐量又はラッチアップ耐量を低下させない絶縁ゲート半導体装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明に係る絶縁ゲート半導体装置は、ドレイン領域となる半導体基板上に、ゲート電極をマスクとして、チャネル領域とソース領域とがセルフアラインにより二重に拡散された縦型絶縁ゲート半導体装置において、前記ゲート電極の側面に隣接し

て絶縁サイドウォールと金属サイドウォールと、該金属サイドウォールをマスクとして、エッチングによりチャネル領域を開口した開口部とを備え、該金属サイドウォールは前記半導体基板上のソース領域の表面とソース電極となる金属電極とに接触し、該金属電極は前記ボディ領域に接触していることを特徴とするものである。

【0009】

【作用】ゲート電極の側面に隣接して絶縁サイドウォールと金属サイドウォールとを備え、該金属サイドウォールはソース領域の表面と金属電極とに接触することから、十分なコンタクト面積が得られソース領域と金属電極との間で良好なコンタクトが得られる。また金属サイドウォールは金属電極と接触し、且つ金属電極は金属サイドウォールをマスクとしてエッチングにより開口されたチャネル領域に接触していることから、金属電極はソース領域およびチャネル領域と良好なコンタクトが得られる。従って、金属電極が半導体基板上のソース領域の表面とコンタクトを取ることから、十分なコンタクト面積が得られるので、ソース領域は浅い拡散で十分であり、アバランシェ等の耐量を低下させるという問題を生じない。それ故、セルフアラインによる微細化を保ちつつ、アバランシェ等の耐量を低下させることなくソース領域と金属電極との良好なコンタクトを達成することができる。

【0010】

【実施例】以下、添付図面を参照しながら本発明の一実施例について説明する。

【0011】図1は、本発明の一実施例の絶縁ゲート半導体装置の断面図である。ドレイン領域2となるN⁺型エピタキシャル層を有する半導体基板1上に、多結晶シリコンからなるゲート電極8をマスクとして、チャネル領域3とソース領域5とが二重に拡散され、セル領域が形成されている。ここで、ソース領域5はN⁺型拡散領域であり、チャネル領域3はP型拡散領域である。半導体基板1がN⁺型である場合には、この縦型絶縁ゲート半導体装置はMOSFETとなり、半導体基板1がP⁺型である場合には、この縦型絶縁ゲート半導体装置はIGBT（絶縁ゲートバイポーラトランジスタ）となる。

【0012】多結晶シリコンからなるゲート電極8と酸化膜からなる絶縁膜9との側面に隣接して、酸化膜からなる絶縁サイドウォール12とさらに絶縁サイドウォール12に隣接してタングステン等の高融点金属からなる金属サイドウォール13を備える。金属サイドウォール13はソース領域5の表面と接触し、又ソース電極となる半導体基板上に配線される金属電極11とに接触する。金属電極11は、金属サイドウォール13をマスクとして、エッチングにより開口されたボディ領域6に接触している。ここでボディ領域6はP⁺型拡散領域であり、チャネル領域3の抵抗分を下げるための同一導電型の高濃度領域であり、アバランシェ耐量（ラッチアップ

耐量）等を高く保持するためのものである。

【0013】係る絶縁ゲート半導体装置は、図示するセル部分が1チップ上に多数配列され、金属電極11がソース端子（S）に、ゲート電極8がゲート端子（G）に、半導体基板1の裏面電極10がドレイン端子（D）にそれぞれ接続されMOSFETを構成している。従って、MOSFETのゲート端子（G）に印加される電圧によって、ゲート電極8の直下のチャネル領域3が反転され、ドレイン領域からソース領域に流れる電流が制御される。このように、ドレイン端子（D）の裏面電極10から電流がドレイン領域1、2及びソース領域5を通じて金属電極11に流れるセルが多数配列されているため、MOSFETは大きな電流容量を取ることができる。

【0014】そして、金属サイドウォール13は図示されるようにソース領域（N⁺）5の表面と直接接触しており、十分なコンタクト面積が確保されている。従って、ソース領域5から金属電極11に大きな電流が流れても良好なコンタクトを取ることができる。なお、以上の説明はパワーMOSFETについてのものであるが、半導体基板1をP⁺型とすることによって、IGBTが構成される。以上のように、ソース領域の形成、ボディ領域の形成及びソース電極のコンタクトの形成がセルフアラインで行えるため、パターンの微細化が可能となり、電流密度の向上等絶縁ゲート半導体装置の性能が向上し、又、製造歩留が向上する。又、十分なソース電極のコンタクトが取れることから、ソース領域を深くする必要がなく、アバランシェ（ラッチアップ）耐量が低下するという問題を生じない。

【0015】次に、本発明の一実施例の絶縁ゲート半導体装置の製造方法について、図2乃至図7を参照しながら説明する。

【0016】図2は、多結晶シリコンからなるゲート電極8をマスクとして、チャネル領域3とソース領域5とを二重に形成した段階である。即ち、まずドレイン領域2となるN⁺型シリコン半導体基板の表面に薄い酸化膜であるゲート絶縁膜7を形成し、多結晶シリコンからなるゲート電極8及び絶縁膜9を被着する。そして、ゲート電極8及び絶縁膜9に開口部を設け、まずP型の拡散領域であるチャネル領域3を形成する。そして、N⁺型の浅い拡散領域であるソース領域5を形成する。従って、ソース領域5はセルフアラインで形成されることとなる。

【0017】図2に示す段階から、厚いCVD酸化膜を被着し、これを等方性エッチングにより、エッチバックすることによりゲート電極8の側面に隣接して酸化膜からなる絶縁サイドウォール12が形成される。図3は、絶縁サイドウォール12を形成した段階である。

【0018】図3に示す段階から、絶縁サイドウォール12に隣接して、例えば、タングステンのCVD技術に

より金属サイドウォール13を形成する。この技術の詳細は、例えば、月刊Semiconductor World 1990年11月号に紹介されている。金属サイドウォール13は、図3に示す段階から、ゲート絶縁膜7をエッチングにより除去し、タングステン等の高融点金属を被着し、等方性エッチングによりエッチバックすることによっても形成することができる。図4は、金属サイドウォール13を形成した段階である。

【0019】図4に示す段階から、金属サイドウォール13及び絶縁膜9をマスクとして、シリコン半導体基板をエッチングすることにより、開口部15は、ソース領域5の深さを越えてチャネル領域3の表面が露出するように形成される。即ち、図5は、金属サイドウォール13をマスクとしてエッチングによりチャネル領域3を露出させるように開口した段階である。

【0020】図6は、金属サイドウォール13及び絶縁膜9をマスクとして、ボディ領域6をイオン注入により形成した段階である。ボディ領域6はP⁻型領域であり、チャネル領域3と同一導電型の高濃度領域であることから、チャネル領域3の抵抗分を下げ、MOSFETにおいてはアバランシェ耐量を高め、IGBTにおいては、ラッチアップ耐量を高める等の作用効果を生じる。

【0021】図7は、ソース電極となる金属電極11を被着し、金属サイドウォール13とチャネル領域3とに接触させる段階である。金属電極11は、アルミ蒸着膜からなり、ホトリソグラフィの工程によって電極配線が形成される。金属電極11は、金属サイドウォール13を介してソース領域5と接触し、またボディ領域6の開口部を介して、連通するチャネル領域3と接続され、ソース領域5及びチャネル領域3を短絡する。

【0022】以上の工程によって図1に示す縦型絶縁ゲ

ート半導体装置が完成する。以上の工程によれば、ソース領域の形成、金属サイドウォールの形成、ボディ領域の形成、金属電極のコンタクトの形成が全てセルフアラインによって行われる。従って、パターンの微細化が可能であり、且つ、ソース電極のソース領域へのコンタクト面積が広げられた縦型絶縁ゲート半導体装置を製造することができる。

【0023】

【発明の効果】以上に説明したように、本発明は、チャネル領域の表面に金属サイドウォールを設け、金属電極と接続するようにしたものである。したがって、金属電極とチャネル領域とのコンタクト面積が広げられ、ON電圧の低い、アバランシェ（ラッチアップ）耐量の高い、微細構造により特性の向上した、又、製造歩留の高められたパワーMOSFET又はIGBT等の絶縁ゲート半導体装置が実現される。

【図面の簡単な説明】

【図1】本発明の一実施例の縦型絶縁ゲート半導体装置の断面図。

【図2】本発明の一実施例の縦型絶縁ゲート半導体装置の製造工程の断面図。

【図3】本発明の一実施例の縦型絶縁ゲート半導体装置の製造工程の断面図。

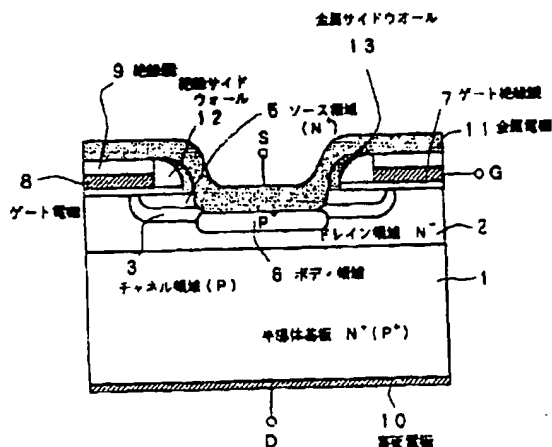
【図4】本発明の一実施例の縦型絶縁ゲート半導体装置の製造工程の断面図。

【図5】本発明の一実施例の縦型絶縁ゲート半導体装置の製造工程の断面図。

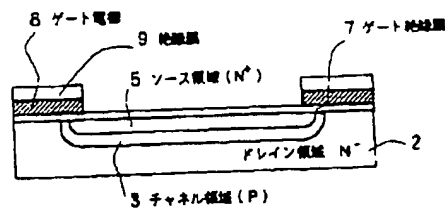
【図6】本発明の一実施例の縦型絶縁ゲート半導体装置の製造工程の断面図。

【図7】本発明の一実施例の縦型絶縁ゲート半導体装置の製造工程の断面図。

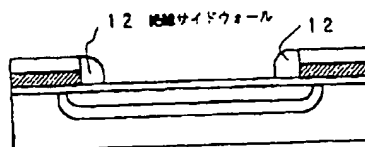
【図1】



【図2】



【図3】

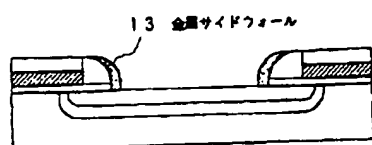


Best Available Copy

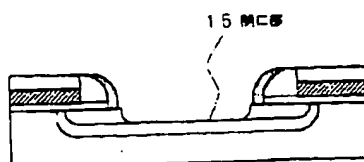
(5)

特開平6 153910

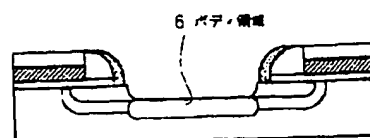
【図4】



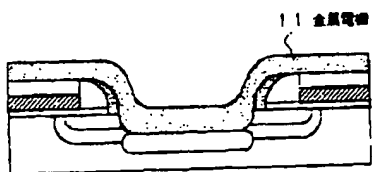
【図5】



【図6】



【図7】

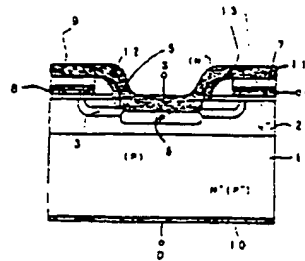


(54) INSULATED GATE SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(11) 6-163910 (A) (43) 10.6.1994 (19) JP
(21) Appl. No. 4-316481 (22) 27.11.1992
(71) SANYO ELECTRIC CO LTD (72) TADASHI NATSUME(1)
(51) Int. Cl. H01L29/784

PURPOSE: To fabricate a microminiature power MOSFET (IGBT) having high avalanche (latch up) resistance and good contact between source electrode and source region using self-aligning technology.

CONSTITUTION: A channel region 3 and a source region 5 are diffused in double by self-aligning technology on a drain region, i.e. a semiconductor substrate 1, using a gate electrode 8 as a mask thus fabricating a vertical insulated gate semiconductor device. An insulating side wall 12 and a metal side wall 13 are formed contiguously to the side face of the gate electrode 8 and an opening is made through the channel region 3 by etching using the metal side wall as a mask. The metal side wall 13 comes into contact with the surface of source region on the semiconductor substrate 1 and a source electrode, i.e., a metal electrode 11, which comes into contact with the channel region 3.



6: body region, 7: gate insulation film, 9: dielectric film,
10: rear surface electrode